

文章编号:1007-2780(2010)06-0914-05

基于 Camera Link 的高速图像采集处理器

贾建禄^{1,2}, 王建立¹, 郭 爽¹, 阴玉梅¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: jiajianlu@yahoo.com.cn;
2. 中国科学院 研究生院, 北京 100039)

摘 要: 设计了基于 Camera Link 标准的高速图像采集处理器, 可以对高速的数字相机进行图像采集及实时图像处理。系统采用 FPGA 和 DSP 作为主要的内核处理单元, FPGA 完成图像的采集和预处理, DSP 完成复杂的图像处理任务。详细给出了处理器的结构设计和一些关键技术, 如 Camera Link 接口技术、高速缓存以及显示技术、图像处理和输出接口设计等。经过调试, 系统最终可以实时完成 1 000 帧/s 的图像采集和处理任务。

关 键 词: Camera Link; 图像采集; 图像处理
中图分类号: TN911.73 **文献标识码:** A

High Speed Image Grabber and Processor Based on Camera Link

JIA Jian-lu^{1,2}, WANG Jian-li¹, GUO Shuang, YIN Yu-mei¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China, E-mail: jiajianlu@yahoo.com.cn;
2. Graduate University of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: This article introduces a new type image grabber and processor based on Camera Link. The system can grab the digital camera image data, then process it at real-time. As the main processors of the system, the FPGA accomplishes the test of images grabbing and pro-processing, the DSP accomplishes the test of more complex images processing. The design about the processor's structure is described in detail and some key technologies are introduced, such as Camera Link interface technology, cache memory and display technology, image process and output interface technology, *et al.* The system can reach 1 000 frames/s for real-time image grabbing and processing after the system has been debugged.

Key words: camera link; image acquisition; image process

1 引 言

图像处理技术的迅速发展以及工业应用的多样化, 产生了多种构架的图像处理系统。然而, 大多数的图像处理工作都是由软件实现的, 这对于数据量大、实时性能要求高的系统来说, 往往难以满足速度要求。随着高性能的可编程逻辑器件和

数字处理芯片的出现。基于硬件的高速并行的图像处理就成为可能。Camera Link 是一个工业高速串口数据的连接协议, 由 Basler、DALSA、Coreco 等相机供应商和图像采集公司在 2000 年 10 月联合推出, 旨在简化 CCD 和采集卡之间的连接。Camera Link 可为高速、高精度的数字相机提供简单、灵活的连接^[1]。

本文介绍了基于 Camera Link 的高速图像采集处理器,图像信号经过转化芯片将串行的 LVDS(低电压差分传输)信号转化为 TTL 信号。在 FPGA 的控制下完成图像的采集,利用 FPGA 对图像进行预处理,利用 DSP 对图像进行一些复杂的运算,最终将处理结果以串行的方式传输给执行设备。

2 处理器结构设计

图 1 为高速图像采集处理器系统结构设计框图,处理器结构包括图像采集显示模块、处理控制模块、通信模块和供电模块。处理器的对外接口主要包括 Camera Link 图像接口、VGA 显示接口

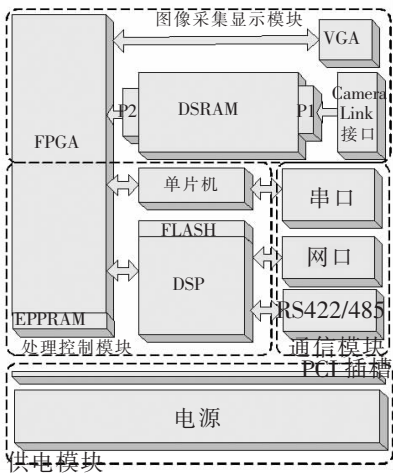


图 1 处理器系统结构框图

Fig.1 The structure of processor system

以及串口和网口。图像采集显示模块采用双口 RAM 和 FPGA 组合的方式对图像进行采集,模块的显示功能使得调试过程变得更为直观和方便;处理控制模块由单片机、DSP 和 FPGA 组成,是整个系统的核心;通信模块由串口和网口组成;供电模块为整个系统提供稳定的电流和电压供应。

处理器主要工作流程如图 2 所示。相机端由相机的控制信号和像素数据信号组成。相机控制信号由单片机发出,在 FPGA 中转换为相机可以识别的格式,从而对相机的曝光时间、图像尺寸以及采集视窗等各种参数进行设置。完成有效的设置后,位于 FPGA 中的帧同步侦测模块就会侦测到有效的帧同步信号。在帧同步信号的控制下,图像数据经过位于 FPGA 中的图像预处理模块,其中主要包括对图像进行滤波的图像增强处理和阈值分割的图像分割处理。处理后的图像像素数据依次存入到双口 RAM 中并对有效像素时钟进行计数,当计数值接近于一幅图像大小时,发送一个中断脉冲给 DSP,DSP 收到这一中断脉冲后对双口 RAM 进行读操作,读取整幅图像。由于读取的时钟频率为 133 MHz,这一频率远大于写入时钟频率 44 MHz,因此可以保证读取图像的完整性。DSP 与 FPGA 之间通过 EMIF 接口进行数据传输。经过 DSP 处理后的结果回写到 FPGA 中的串口发生模块的数据寄存器,由串口模块将处理结果发送给后面的系统。

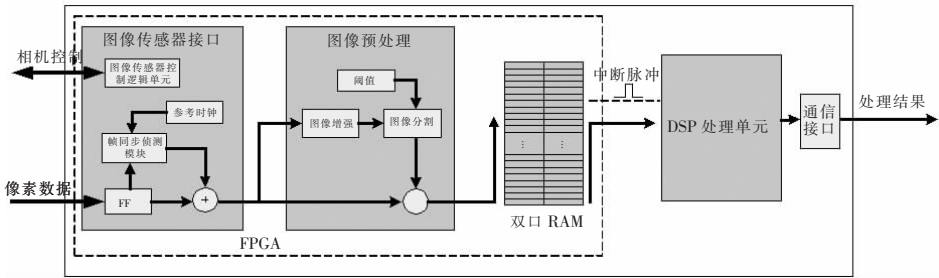


图 2 处理器工作流程框图

Fig.2 Working flow chart of the processor

3 系统设计的关键技术

整个高速图像采集处理器的设计包括以下几个方面的关键技术:Camera Link 接口技术、图像数据的高速缓存与显示技术、图像处理 and 输出接

口技术。

3.1 Camera Link 接口技术

根据 Camera Link 协议的要求,MDR26 接头作为相机数据的输出接口和控制信号通信接口,其中用于像素数据的传输为 4 对 LVDS 信号和 1

对时钟 LVDS 信号。4 对 LVDS 信号为串行 LVDS 信号,有专用的转换芯片可以将其转换为 28 位并行的 TTL 信号,其中包括图像信号所需要的像素灰度值 $D_0 \sim D_n$ 、采集过程中的控制信号:行同步信号 H_{sys} 、帧同步信号 V_{sys} 以及像素时钟 $Pclk$ 。

Camera Link 协议采用的是串行 LVDS 技术,具有差分、恒流模式驱动以及低振幅的特点,可以保证传输过程中的低噪声、低消耗和快速性^[2]。

Camera Link 协议中的控制信号为 CC1、CC2、CC3、CC4,串行通信信号为 SerTC 和 SerTF。CC1 为外触发输入信号。串行通信信号 SerTC 和 SerTF 可以作为处理器与相机的通信信号,进行相机的配置和对相机寄存器的查询。

3.2 图像数据的高速缓存与显示

图像信息的数据量大、实时性强,同步采集需占用大量的资源,从而导致整个系统性能的降低和资源的极大浪费。因此,图像在采集过程中需采取必要的缓冲措施,先采用大容量的数据缓冲器将数据缓存,之后采用高效的方式进行读取,这样就可以提高数据传输的效率和整个系统的

性能。

本处理器采用的是双口 RAM 缓存方案。双口 RAM 具有两套独立的数据、地址和控制总线,因而可以从两个端口同时读写而互不干扰,可将图像数据从一个端口写入而由处理器从另一个端口读出。双口 RAM 可以达到很高的传输速度,并且具有随机读取的优点,采集和处理可以并行执行。

图像的有效像素数据在帧同步 V_{sys} 的控制下,以行同步 H_{sys} 作为写有效信号,像素时钟 $Pclk$ 作为写时钟对双口 RAM 进行写操作。同时 FPGA 对输入的有效像素时钟信号进行计数,当计数值接近一幅图像大小时,向 DSP 发出中断脉冲信号。当 DSP 接收到这一中断信号时,对双口 RAM 发起读操作。本系统中采用的 TMS320C6455 DSP 的其最快读取时钟频率为 133 MHz。由于写入双口 RAM 的写时钟频率为 44 MHz 远小于读取时钟频率,故可以保证读取完整的图像数据用于后续的处理。

图 3 为用逻辑分析仪实测到 FPGA 由输入信号产生输出中断的波形图,其中 $Lclk$ 为行同步信号, $Pclk$ 为像素时钟信号, $Init$ 为产生的中断信号。



图 3 实测中断信号产生波形图
Fig. 3 Chart of the interrupt wave

增加图像的显示功能可以极大地方便系统的调试过程,同时也可以方便地查看中间的处理结果,使得调试过程变得清晰可见。设计中选择美国 AD 公司的 ADV7123 作为视频 DA 转换器。ADV7123 是 3 路高速、10 位输入的视频 DA 转换器。在设计中将 $R_0 \sim R_9$ 、 $G_0 \sim G_9$ 、 $B_0 \sim B_9$ 以及 $/BLANK$ 、 $CLOCK$ 、 $/PSAVE$ 直接接入 FPGA。 $/PSAVE$ 作为节能控制管脚引入 FPGA,在调试时接逻辑高电平,令不使能。在 $CLOCK$ 的上升沿锁存 $R_0 \sim R_9$ 、 $G_0 \sim G_9$ 、 $B_0 \sim B_9$ 以及 $/BLANK$ 信号。从 FPGA 提供的行同步信号 H_{sys} 和场同步信号 V_{sys} 直接接入 15 针的 VGA 显示接口连接器。

显示过程分为显示区和消隐区,在 VGA 显示屏中,扫描从屏幕的左上方开始,从左到右,从

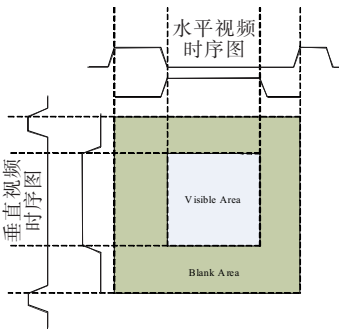


图 4 组合视频时序图
Fig. 4 Chart of combined video timing

上到下,逐行扫描,每扫完一行,扫描点回到屏幕的左边下一行的起始位置。在这期间,消隐信号/BLANK 对扫描点进行消隐。每行结束时,行同步信号 Hsys 进行同步。扫描完所有行,用场同步信号 Vsys 进行场同步。而水平同步脉冲与垂直同步脉冲的组合就形成了复合同步脉冲。图 4 为其组合视频帧时序图。这样产生的水平视频信号和垂直视频信号的“与”函数即为可视区域,其他区域为消隐区^[3]。

3.3 图像处理和输出接口

本系统可以应用于视觉系统的多个领域,目前已应用于快速反射镜的成像跟踪系统,主要任务是实时快速地给出采集图像的目标脱靶量。图像采集完成后,接下来要对所采集的图像进行图像增强和图像分割,这部分工作主要由 FPGA 完成。所选用的 FPGA 为 Xilinx 公司的 Virtex-4 系列,该款芯片拥有 320 个 I/O 和 20 万个可配置的逻辑单元。所采用的图像增强算法为快速中值滤波算法,算法流程如图 5 所示。由于 FPGA 的并行性特点,只需经过 9 个时钟周期就可以确定出 9 个像素值中的中间值,完成图像的中值滤波^[4]。

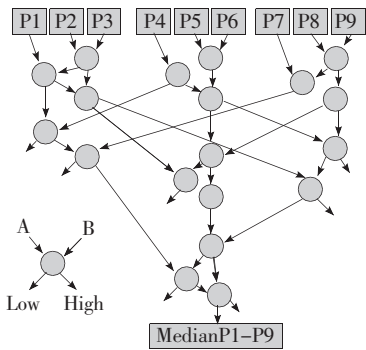


图 5 快速中值滤波算法流程图

Fig. 5 Flow chart of fast median filter

为方便后续的计算,需对滤波后的图像进行分割。选定阈值 T_n ,则新图像对应的像素值可用式(1)表示为:

$$g_{n0}(x,y) = \begin{cases} 0 & g_m(x,y) < T_n \\ g_m(x,y) - T_n & g_m(x,y) \geq T_n \end{cases} \quad (1)$$

式中 $g_{n0}(x,y)$ 为新图像的像素值, $g_m(x,y)$ 为经滤波后的像素值^[5]。

DSP 根据公式(2)对视场内光斑的质心进行计算:

$$x_c = \frac{\sum_{i,j} x_i I_{i,j}}{\sum_{i,j} I_{i,j}} \quad (2)$$

$$y_c = \frac{\sum_{i,j} y_i I_{i,j}}{\sum_{i,j} I_{i,j}}$$

式中 $I_{i,j}$ 是子孔径内坐标 (x_i, y_i) 处的像素灰度值^[5-7]。

本系统中的输出接口目前主要采用串口通信方式,将 DSP 计算得到的脱靶量数据回写到 FPGA 中的串口模块发送数据寄存器,当该寄存器收到待发送数据后将发生标志位置为 1,当标志位被置位后,串口转换模块中的并串转换模块将数据以一定的波特率串行发送出去。本设计中采用的波特率为 230.4 kHz。

4 实验验证

基于 Camera Link 的图像采集处理器已经完成设计且已通过实验验证。图 6 为基于 Camera Link 的图像采集处理器电路板。图像采集、处理和缓存都设计在同一 PCB 电路板上,该电路板在设计中充分考虑了高速信号走线路径和电磁兼容等特性。电器板设计为标准的 PCI 板卡尺寸,这样为以后的扩展带来极大的方便。在本款设计中 PCI 插槽主要用于向主机取电和固定的作用。处理器实时对 Camera Link 相机的数据进行采集处理,并将处理结果通过串口发送出去,整个调试过程可以在显示器上显示,使得调试变得可视和方便。

通过示波器测得的处理器在对 $64 \times 64 \times 10$ bit 的 1 000 帧/s 图像进行处理后的结果如图 7 所示,图中通道 1 表示为 DSP 读取图像信号,低电平表示读取有效,持续时间为 $32 \mu s$;通道 2 表示为系统输出视场内光斑质心数据的信号,从读取信号的下降沿到输出质心信号的上升沿的整个过程的持续时间为 $760 \mu s < 1 ms$,所以整个系统

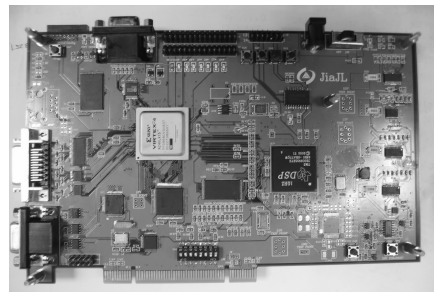


图 6 基于 Camera Link 的图像采集处理器电路板

Fig. 6 PCB of image grabber and processor based on Camera Link

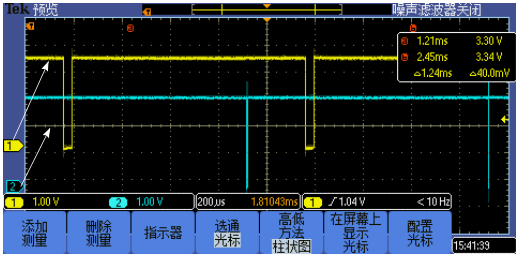


图 7 实时采集处理信号波形图

Fig. 7 Oscillograph of the real-time grabbing and processing

可以实时完成 1 000 帧/s 的图像数据采集和处理工作。

5 结 论

基于 Camera Link 标准设计了高速图像采集处理器,可以对高速的数字相机进行图像采集及实时图像处理。系统采用 FPGA 和 DSP 作为主要的内核处理单元,FGPA 完成图像的采集和预处理,DSP 完成复杂的图像处理任务。所设计的高速图像采集处理器已经通过实验验证,整个系统可以实时完成 1 000 帧/s 的图像数据采集和处理工作。

参 考 文 献:

[1] 李珺,王云伟,石俊. 基于 Camera Link 标准的图像采集处理系统及其应用[J]. 西安工程科技学院学报,2007,21 (3):362-366.

[2] 李宁,王骏发. 基于 Camera Link 的高速数据采集系统[J]. 红外,2005(7):31-37.

[3] 肖炆,卿粼波,罗代升. 基于 FPGA 的多显示模式 VGA 接口研究与设计[J]. 计算机工程与科学,2007,29(5): 62-65.

[4] 万海军,何东健,徐尚中. 基于 FPGA 的图像中值滤波算法硬件实现[J]. 微计算机信息,2008,24(7):280-282.

[5] 吴家伟,武春风,虞文波. 红外图像实时显示增强系统设计[J]. 光学 精密工程,2009,17(10):2612-2619.

[6] Wang X F,Zhuang Z Q,Wang D S. *Image Processing Programming* [M]. Hefei: Publishing House of University of Science & Technology of China,1994.

[7] 王帅,陈涛,张丽敏,等. 精密跟踪实验系统设计及其关键技术研究[J]. 光学 精密工程,2008,16(专辑):98-102.

SI 词头

代表的因素	词 头 名 称		符 号	代表的因素	词 头 名 称		符 号
	英文	中文			英文	中文	
10 ²⁴	yotta	尧[它]	Y	10 ⁻¹	deci	分	d
10 ²¹	zetta	泽[它]	Z	10 ⁻²	centi	厘	c
10 ¹⁸	exa	艾[可萨]	E	10 ⁻³	milli	毫	m
10 ¹⁵	peta	拍[它]	P	10 ⁻⁶	micro	微	μ
10 ¹²	tera	太[拉]	T	10 ⁻⁹	nano	纳[诺]	n
10 ⁹	giga	吉[咖]	G	10 ⁻¹²	pico	皮[可]	p
10 ⁶	mega	兆	M	10 ⁻¹⁵	femto	飞[母托]	f
10 ³	kilo	千	k	10 ⁻¹⁸	atto	阿[托]	a
10 ²	hecto	百	h	10 ⁻²¹	zepto	仄[普托]	z
10 ¹	deca	十	da	10 ⁻²⁴	yocto	幺[科托]	y